



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 02 462 A 1**

⑤① Int. Cl. 7:
H 01 L 25/07
H 01 L 23/48

②① Aktenzeichen: 199 02 462.6
②② Anmeldetag: 22. 1. 1999
④③ Offenlegungstag: 10. 8. 2000

DE 199 02 462 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Strack, Helmut, Dr., 80804 München, DE; Tihanyi,
Jenő, Dr., 85551 Kirchheim, DE

⑤⑤ Entgegenhaltungen:
US 55 02 289

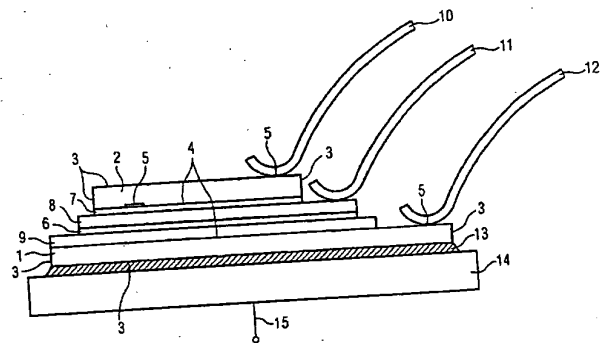
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement mit Chip-on-Chip-Aufbau

⑤⑦ Die Erfindung betrifft ein Bauelement mit einem ersten Chip (1) und einem zweiten Chip (2), die übereinander angeordnet sind, wobei wenigstens eines der Chips mindestens ein Kontaktgebiet (5) auf einer inneren Oberfläche (4) aufweist.

Damit bei dem Verfahren zum Herstellen eines solchen Halbleiterbauelements mit Chip-on-Chip-Aufbau die Reihenfolge der Arbeitsschritte unabhängig von dem Kontaktieren der Chips wählen zu können, wird vorgeschlagen, daß ein Zwischenstück (8) zwischen dem ersten (1) und dem zweiten Chip (2) angeordnet ist und mindestens einen elektrisch leitfähigen Bereich umfaßt, der seitlich über mindestens einen der zwei Chips (1, 2) hinausragt und der mit dem mindestens einen Kontaktgebiet (5) elektrisch verbunden ist.



DE 199 02 462 A 1

Die Erfindung betrifft ein Halbleiterbauelement mit einem Chip-on-Chip-Aufbau.

Bei der "Chip on Chip" Montage wird auf ein erstes Leistungschip ein weiteres zweites Chip montiert. Dabei wird das zweite Chip mit einem Isolationskleber auf die Passivierschicht des ersten Chips geklebt. Nach dem Aufkleben ist die Rückseite des zweiten Chips nicht mehr elektrisch zugänglich und kann damit nicht mehr kontaktiert werden. Bei der Herstellung von "Chip on Chip"-Bauelementen muß also die Kontaktierung des zweiten Chips immer vor dem Aufkleben auf den ersten Chip erfolgen. Das bedeutet für den Herstellungsprozeß, daß eine bestimmte Reihenfolge der Arbeitsschritte vorgegeben ist und eingehalten werden muß.

Die Vorgabe der Reihenfolge der Arbeitsschritte bei der Herstellung des Bauelements ist aber eine starke Einschränkung, die unter Umständen eine Optimierung des Fertigungsverfahrens verhindert.

Aufgabe der Erfindung ist es, ein Halbleiterbauelement mit einem Chip-on-Chip-Aufbau ("Chip on Chip"-Bauelement) zu schaffen, das sich mit einem Verfahren herstellen läßt, bei dem die Reihenfolge der Arbeitsschritte im wesentlichen unabhängig von dem Kontaktieren der Chips ist.

Die Aufgabe wird gelöst durch das Bauelement mit den Merkmalen nach Anspruch 1. Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

Erfindungsgemäß wird ein Halbleiterbauelement mit einem Chip-on-Chip-Aufbau vorgeschlagen, bei dem die Kontaktierung der Rückseite des zweiten Chips auch noch nach dem Zusammenbau der beiden Chips möglich ist. Die grundlegende Idee der Erfindung besteht darin, die Kontaktgebiete auf den Oberflächen der Chips, die auf den inneren Flächen der Chips liegen, mit Zuführungen nach außen zu versehen. Unter "innerer Fläche" wird dabei die Oberfläche eines der Chips verstanden, die nach dem Verbinden der beiden Chips nicht mehr zugänglich ist. Entsprechend ist eine "äußere Fläche" eine Oberfläche eines der Chips, die auch noch nach dem Verbinden der beiden Chips zugänglich bleibt.

Das erfindungsgemäße Bauelement mit einem ersten Chip und einem zweiten Chip, die übereinander angeordnet sind, wobei wenigstens eines der Chips mindestens ein Kontaktgebiet auf einer inneren Oberfläche aufweist, ist gekennzeichnet durch ein Zwischenstück, das zwischen dem ersten und dem zweiten Chip angeordnet ist und das mindestens einen elektrisch leitfähigen Bereich umfaßt, der seitlich über mindestens einen der zwei Chips hinausragt und der mit dem mindestens einen Kontaktgebiet elektrisch verbunden ist. Bei dem erfindungsgemäßen Bauelement ist es damit nun durch das Zwischenstück möglich, die Kontaktierung beispielsweise des zweiten Chips vorzunehmen, wenn dessen Rückseite über ein Bondpad bereits mit der Chipoberfläche verbunden ist.

In einer bevorzugten Ausführungsform besteht das Zwischenstück aus Cu.

In einer weiteren Ausführungsform besteht das Zwischenstück aus Silizium, das eine Metallisierung auf einer ersten und/oder zweiten Oberfläche aufweist.

Insbesondere ragt das Zwischenstück so weit aus dem Bauelement herausragt, daß der leitfähige Bereich seitlich neben den zwei Chips Platz zum Draht-Bonden bietet.

Ein Vorteil des erfindungsgemäßen Bauelements besteht darin, daß es einfach aufzubauen ist und bei der Herstellung des Bauelements keine zusätzlichen Verfahrensschritte erforderlich werden.

Weitere Merkmale und Vorteile ergeben sich aus der fol-

genden Beschreibung, bei der Bezug genommen wird auf die beigefügten Zeichnungen.

Fig. 1 zeigt eine Ausführungsform des erfindungsgemäßen Bauelements im Querschnitt.

Fig. 2A bis 2C zeigen Ausführungsformen des erfindungsgemäßen Zwischenstücks.

Fig. 3A und 3B zeigen Anwendungsbeispiele der Erfindung.

Fig. 4A und 4B zeigen weitere Anwendungsbeispiele der Erfindung.

Fig. 1 zeigt den Aufbau eines Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements mit einem Chip-on-Chip-Aufbau. In der gezeigten Ausführungsform umfaßt das Bauelement zwei Chips 1 und 2 übereinander. Dabei ist das erste Chip 1 das untere Chip und das zweite Chip 2 das obere der beiden Chips. Die Erfindung ist aber nicht auf diesen Aufbau eingeschränkt. Das Bauelement kann auch z. B. drei Chips übereinander oder zusätzlich einzelne Chips oder mehrere Stapel von Chips nebeneinander umfassen.

Die Oberflächen der Chips sind insoweit zu unterscheiden, als einige Oberflächen 3 der Chips nur vor der Verbindung der Chips 1 und 2 zu einem Stapel zugänglich sind, während ein Paar von Oberflächen 4 der Chips sich nach dem Verbinden der Chips so einander gegenüberliegen, daß sie nach dem Verbinden nicht mehr zugänglich sind. Die letzteren Flächen 4 werden jeweils "innere Fläche" genannt. Entsprechend werden die ersten Flächen 3 jeweils "äußere Fläche" genannt.

Bei dem dargestellten Bauelement mit den übereinander angeordneten Chips 1 und 2 liegt ein Kontaktgebiet 5, das z. B. für den Drain-Anschluß dient, auf der inneren Fläche 4 des zweiten Chips 2. Dieses Kontaktgebiet 5 ist in der Fig. 1 als dickerer Strich hervorgehoben. Es können aber auch mehrere Kontaktgebiete 5 über die innere Fläche 4 des zweiten Chips 2 verteilt sein. Insbesondere kann auch die gesamte innere Fläche 4 des zweiten Chips 2 als Drain des zweiten Chips 2 wirken, so daß das Kontaktgebiet 5 der gesamten inneren Fläche 4 des zweiten Chips 2 entspricht. Weil dieses Kontaktgebiet 5 auf der inneren Fläche 4 des zweiten Chips 2 liegt, ist es nach dem Verbinden der beiden Chips 1 und 2 nicht mehr zugänglich.

Um die Kontaktierung dieses Kontaktgebietes 5 auf der inneren Fläche 4 des zweiten Chips 2 auch nach dem Verbinden der Chips noch durchführen zu können, weist das erfindungsgemäße Bauelement wie in Fig. 1 dargestellt ein Zwischenstück 8 auf. Das Zwischenstück 8 ist zwischen dem ersten und dem zweiten Chip 1 bzw. 2 angeordnet. Das Zwischenstück ist so bemessen, daß es seitlich über mindestens einen der zwei Chips 1 oder 2 hinausragt und auch nach dem Verbinden der beiden Chips mindestens eine seiner unteren und oberen Oberfläche zugänglich bleibt. Das Zwischenstück 8 weist auf der auch nach dem Verbinden der Chips noch zugänglichen Oberfläche mindestens einen elektrisch leitfähigen Bereich auf, der auf einer Seite mit dem Kontaktgebiet 5 auf dem ersten Chip 1 elektrisch verbunden ist und auf der anderen Seite auf dem Bereich des Zwischenstücks 8 in einem zweiten Kontaktgebiet 5 endet, das auch nach dem Verbinden der beiden Chips 1 und 2 noch zugänglich bleibt.

Das in Fig. 1 gezeigte Bauelement unterscheidet sich vom Stand der Technik durch das Zwischenstück 8 zwischen dem ersten und zweiten Chip 1 bzw. 2, das über das zweite Chip 2 hinausragt. Das zweite Chip 2 ist mit der gewohnten Rückseitenmetallisierung versehen und auf das Zwischenstück 8 geklebt bzw. gelötet. Das Zwischenstück 8 selbst ist in bekannter Weise auf die (isolierende) Passivierschicht des ersten Chips aufgebracht, wie im folgenden erläutert wird.

Die elektrische Verbindung zwischen dem Kontaktgebiet

5 auf dem zweiten Chip 2 und dem Zwischenstück 8 wird durch einen Leitkleber 7 sichergestellt, der auch für die mechanische Verbindung des zweiten Chips 2 und dem Zwischenstück 8 sorgt.

Insbesondere ist das zweite Kontaktgebiet 5 an dem einen Ende des elektrisch leitfähigen Bereiches des Zwischenstücks 8, das auch nach dem Verbinden der beiden Chips 1 und 2 noch zugänglich bleibt, so groß gewählt, daß auf ihm Platz zum Bonden von Bonddrähten für Verbindungen zu Außenanschlüssen des Bauelements z. B. nach dem Eingießen vorhanden ist. Damit weist bei dieser Ausführungsform das erfindungsgemäße Bauelement folgende Anschlüsse auf: Erste Bonddrähte 10 sind für den Anschluß von Source oder Gate des zweiten Chips 2, d. h. des oberen Chips 2, direkt auf einem Kontaktgebiet auf der äußeren Fläche des Chips 2 vorgesehen. Zweite Bonddrähte 11 stellen die Verbindung der Source bzw. des Gate des ersten Chips 1 zu der Außenwelt her. In der gezeigten Ausführungsform ist der erste Chip 1 größer als der zweite Chip 2. Daher ist anders als beim zweiten Chip 2 ein Teil der inneren Fläche 4 des ersten Chips 1 auch nach dem Verbinden der beiden Chips noch zugänglich. Wenn es möglich ist, ein Kontaktgebiet 5 des ersten Chips 1 auf diesem Teil der inneren Fläche 4 anzuordnen, so können auf diesem Kontaktgebiet 5 dritte Bonddrähte 12 für die Source bzw. das Gate des ersten Chips 1 angeordnet werden.

Daß es durch die Verwendung eines leitfähigen Bereiches auf dem Zwischenstück 8 nicht zu unerwünschten elektrischen Verbindungen oder Kurzschlüssen mit oder auf dem ersten Chip 1 kommt, wird dadurch verhindert, daß zwischen dem Zwischenstück 8 und der inneren Oberfläche 4 des ersten Chips 1 ein Isolierkleber 6 verwendet wird. Darüber hinaus wirkt zusätzlich eine Passivierschicht 9 als Isolator auf der inneren Fläche 4 des ersten Chips. Diese Passivierschicht 9 besteht vorzugsweise aus Fotoimid.

Der erste Chip 1 wird über ein Lot 13 mit einem Kühlkörper 14, der üblicherweise aus Cu besteht, elektrisch und mechanisch verbunden. Der Kühlkörper aus Cu 14 dient gleichzeitig als Drain-Anschluß D1 des ersten Chips 1.

In Fig. 2A bis 2C sind verschiedene Ausführungsformen des erfindungsgemäßen Zwischenstücks 8 dargestellt. In der ersten Ausführungsform nach Fig. 2A besteht das Zwischenstück 8 vollständig aus einem Metall, insbesondere aus Cu und Al, oder aus Metallegierungen. Die Metallschicht kann zusätzlich vernickelt sein. Diese Ausführungsform ist besonders für Anwendungen geeignet, bei denen die gesamte innere Fläche 4 des zweiten Chips 2 elektrisch nach außen verbunden werden soll.

Eine weitere Ausführungsform des Zwischenstücks 8, die in Fig. 2B gezeigt ist, besteht aus einem Siliziumchip 17, das vorzugsweise n⁺-dotiert ist. Das Siliziumchip 17 ist mit einer Metallisierung 16 auf seiner Oberseite versehen, um die Leitfähigkeit des Zwischenstücks 8 zu optimieren. Die Metallisierungsschicht 16 besteht dabei vorzugsweise aus Al, Ti, Ni, Ag, Au oder einer Schichtfolge aus diesen. Daß das Siliziumchip 17 auch zur weiteren Verbesserung der Leitfähigkeit des Zwischenstücks mit einer Metallisierung 16 auf Vorder- und Rückseite versehen werden kann, ist aus Fig. 2C ersichtlich.

Bei allen Ausführungsformen des Zwischenstückes 8 gilt, daß die metallische Oberfläche dabei sowohl für Drahtbonden als auch für Chipbonden geeignet sein muß.

Anwendungen eines Bauelements mit einem Aufbau mit dem erfindungsgemäßen Zwischenstück 8 sind in den Fig. 3 und 4 gezeigt. In Fig. 3A ist eine Halbbrücke mit zwei gleichen MOSFETs dargestellt, bei der die beiden MOSFETs einmal dem zweiten Chip 2 in Fig. 1 und einmal dem ersten Chip 1 in Fig. 1 entsprechen. Gate und Source werden über

Bonddrähte 10 nach außen verbunden. Der Mittelabgriff, d. h. der Drain-Anschluß D2 des zweiten Chips 2 und der Source-Anschluß S1 des ersten Chips 1 werden über das Zwischenstück 8 gemeinsam nach außen geführt und mit dem Bonddraht 11 verbunden. Der Drain-Anschluß D1 des ersten Chips 1 erfolgt wie oben beschrieben über den Kühlkörper der Halbbrücke.

In Fig. 3B ist ein niederohmiger MOSFET mit zwei Einzel-MOSFETs dargestellt, die parallel geschaltet sind. Dabei entspricht ein MOSFET dem oberen Chip 2 und ein MOSFET dem unteren Chip 1. Der Source-Anschluß S2 des zweiten Chips 2 erfolgt über einen Bonddraht 10, der Drain-Anschluß 15 des ersten Chips 1 erfolgt über den (nicht dargestellten) Kühlkörper.

In Fig. 4A und 4B sind weitere Anwendungen des erfindungsgemäßen Bauelements dargestellt. In Fig. 4A ist ein Kaskoden-Schaltenteil-IC mit Leistungstransistor gezeigt. Der Leistungstransistor bildet dabei den ersten, unteren Chip 1, da bei ihm die Wärmeableitung sichergestellt sein muß und damit ein guter Wärmekontakt zu dem Kühlkörper 14 bestehen muß. Der Steuer- oder Schaltenteil-IC bildet den zweiten, oberen Chip 2.

Fig. 4B zeigt einen IGBT mit Freilaufdiode, wobei der IGBT dem ersten, unteren Chip 1 entspricht und die Freilaufdiode dem zweiten, oberen Chip 2 entspricht.

Ganz besonders eignet sich das erfindungsgemäße Bauelement also für Bauformen, die nicht gekühlt werden müssen, wie z. B. SMD-Bauelemente, da die Anforderungen an die Wärmeableitung von dem oberen Chip 2 nicht zu hoch sein dürfen: Durch die "Chip-on-Chip"-Montage ist es nicht möglich, Wärme in effektiver Weise vom zweiten Chip 2 in Fig. 1 zum Kühlkörper 14 abzuführen.

Das Verfahren zum Herstellen des erfindungsgemäßen Bauelements entspricht dem des "TEMPFET". Das Zwischenstück kann dabei auch analog einer Standard-Siliziumscheibe ausgebildet sein und beim Die-Bonden genauso wie eine gesägte Siliziumscheibe verarbeitet werden.

Bezugszeichenliste

- 1 erster Chip
- 2 zweiter Chip
- 3 äußere Fläche eines Chips
- 4 innere Fläche eines Chips
- 5 Kontaktgebiet auf einem Chip
- 6 Isolierkleber
- 7 Leitkleber
- 8 Zwischenstück
- 9 Passivierschicht, Isolator (Fotoimid)
- 10 erste Bonddrähte G2/S2 für Gate/Source vom zweiten Chip
- 11 zweite Bonddrähte D2 für Drain vom zweiten Chip
- 12 dritte Bonddrähte S1/G1 für Gate/Source vom ersten Chip
- 13 Lot
- 14 Kühlkörper aus Cu
- 15 Drain-Anschluß D1
- 16 Metallschicht
- 17 n⁺-Si
- 18 Al-Schicht

Patentansprüche

1. Bauelement mit einem ersten Chip (1) und einem zweiten Chip (2), die übereinander angeordnet sind, wobei wenigstens eines der Chips mindestens ein Kontaktgebiet (5) auf einer inneren Oberfläche (4) aufweist, gekennzeichnet durch ein Zwischenstück (8),

das zwischen dem ersten (1) und dem zweiten Chip (2) angeordnet ist und das mindestens einen elektrisch leitfähigen Bereich umfaßt, der seitlich über mindestens einen der zwei Chips (1, 2) hinausragt und der mit dem mindestens einen Kontaktgebiet (5) elektrisch verbunden ist. 5

2. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Zwischenstück (8) aus Cu besteht.

3. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Zwischenstück (8) ein Siliziumchip (17) mit einer Metallisierung (16) auf seiner Oberseite ist. 10

4. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Zwischenstück (8) ein Siliziumchip (17) mit einer Metallisierung (16) auf beiden Seiten ist. 15

5. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß das Zwischenstück (8) so weit aus dem Bauelement herausragt, daß der leitfähige Bereich seitlich neben den zwei Chips (1, 2) Platz zum Draht-Bonden bietet. 20

Hierzu 3 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

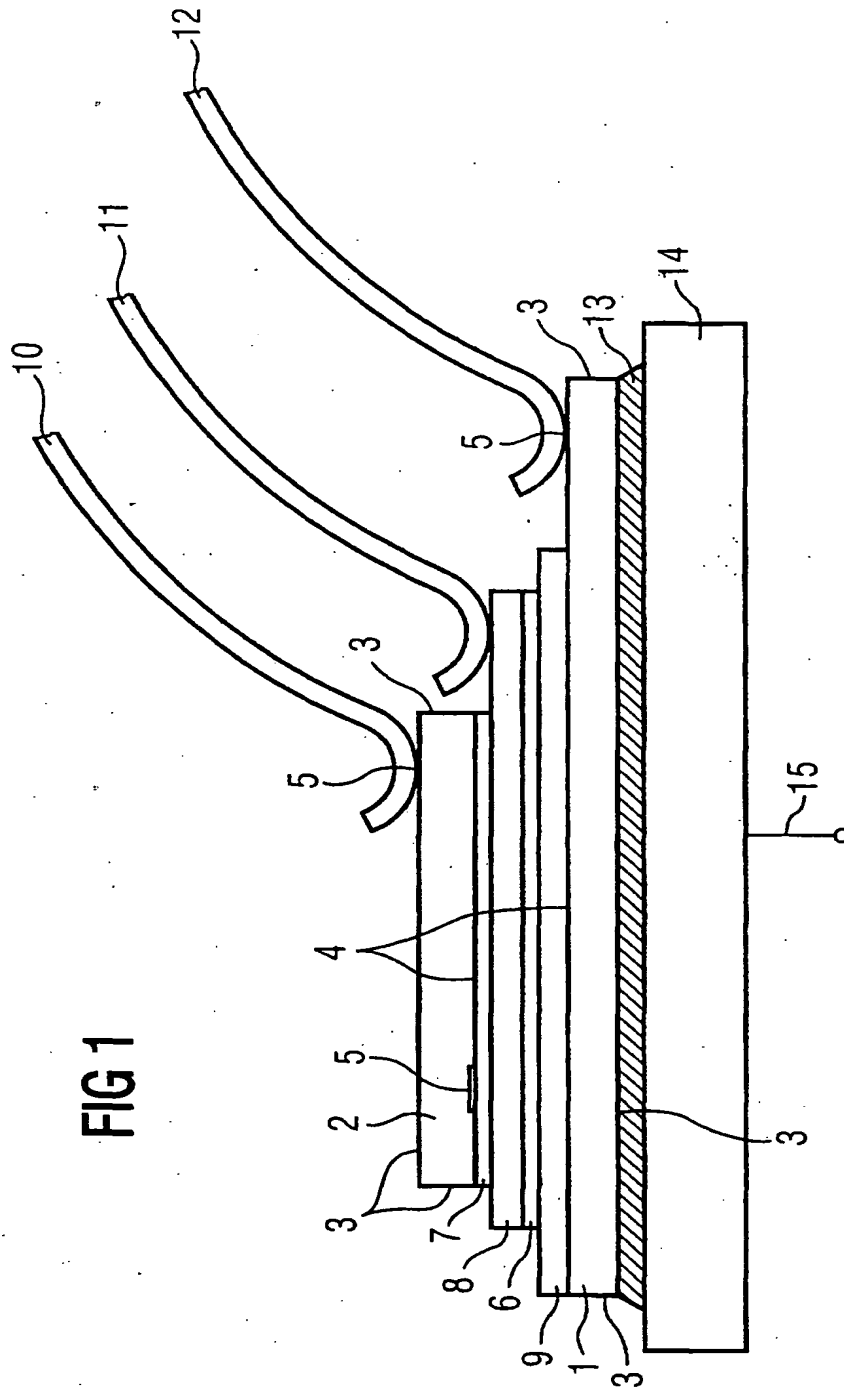


FIG 2A

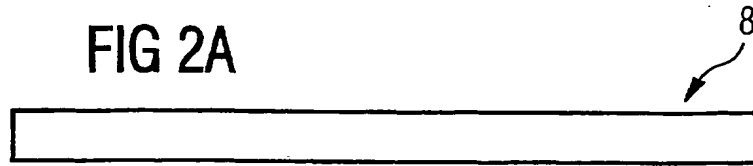


FIG 2B

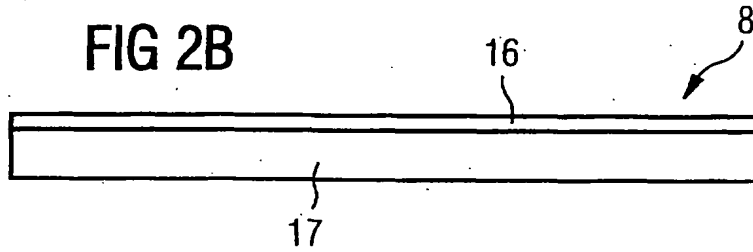


FIG 2C

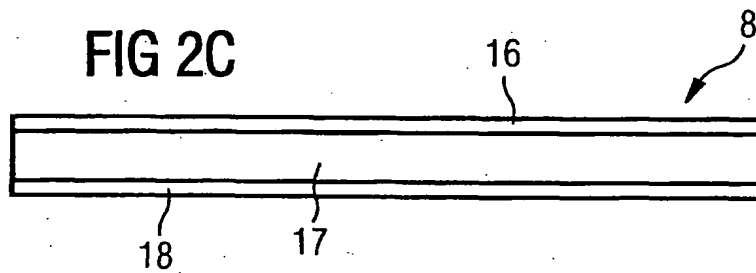


FIG 3A

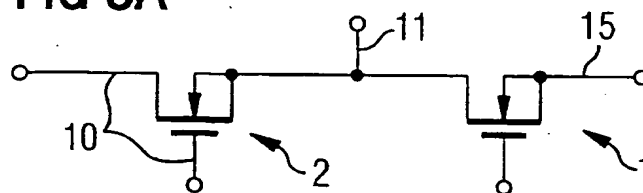


FIG 3B

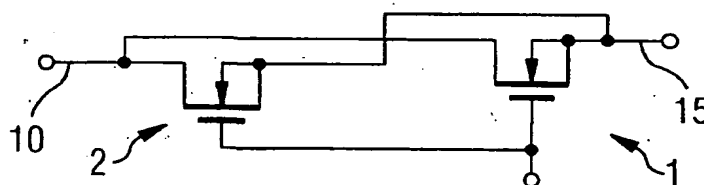


FIG 4A

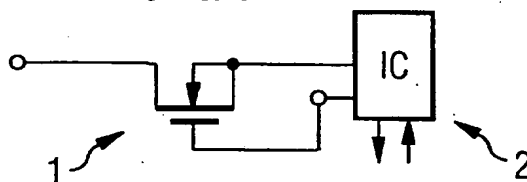


FIG 4B

